

特開平 10-91255

(43) 公開日 平成 10 年 (1998) 4 月 10 日

(51) Int. Cl. 6	識別記号	F I
G 0 5 F 1/56	3 1 0	G 0 5 F 1/56 3 1 0 A
H 0 3 F 3/45		H 0 3 F 3/45

審査請求 有 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平8-247393

(22) 出願日 平成 8 年 (1996) 9 月 19 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井部 一隆

東京都港区芝五丁目7番1号

日本電気株式

会社内

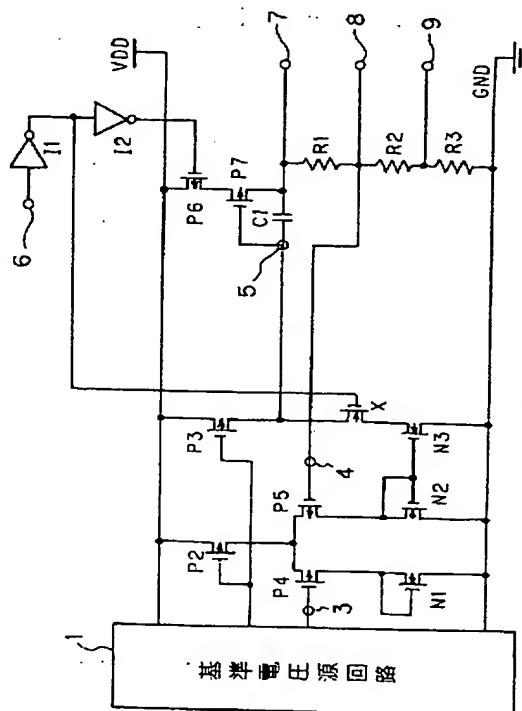
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 安定化電源回路

(57) 【要約】

【目的】 出力電圧の出力をオン／オフすることのできる安定化電源において出力オンに転じた際に出力電圧がオーバーシュートすることのないようにする。

【構成】 基準電圧源回路 1 の基準電圧は、PMOSP 2、P 4、P 5、NMOSN 1、N 2 で構成される差動増幅回路への一方の入力端子に入力され、もう一方の入力端子には出力電圧が帰還される。差動増幅回路で増幅された出力は PMOSP 3、NMOS X、N 3 により構成される増幅回路へ入力される。この増幅回路において、NMOS X は、増幅回路のオン／オフスイッチとして働く。この出力は PMOSP 6、P 7、C 1、R 1、R 2、R 3 からなる出力段に入力される。出力端子 7 ～ 9 の出力は、P 6 を端子 6 に入力される信号によりオン／オフさせることによりオン／オフされる。P 6 のオン／オフに同期して X もオン／オフされる。



## 【特許請求の範囲】

【請求項 1】 基準電圧源の基準電圧と出力からの帰還電圧を比較する差動増幅回路と、前記差動増幅回路の出力信号を増幅する増幅回路と、前記増幅回路の出力電圧を出力する出力段と、該出力段の出力のオン／オフを制御信号によりを制御する制御手段と、を有し、前記増幅回路には前記制御信号による出力段のオン／オフに同期して、抵抗値が低／高と変化する可変インピーダンス手段が挿入されていることを特徴とする安定化電源回路。

【請求項 2】 前記可変インピーダンス手段が MOS トランジスタにより構成されていることを特徴とする請求項 1 記載の安定化電源回路。

【請求項 3】 前記可変インピーダンス手段が、並列に接続された複数の MOS トランジスタの中から選択された 1 ないし複数の MOS トランジスタによって構成されていることを特徴とする請求項 1 記載の安定化電源回路。

【請求項 4】 前記並列に接続された複数の MOS トランジスタが異なるサイズに形成されており、選択されるトランジスタは前記出力段がオフからオンに転じる際の出力電圧の立ち上がり波形を所望の形状にするべく決定されていることを特徴とする請求項 3 記載の安定化電源回路。

【請求項 5】 前記並列に接続された複数の MOS トランジスタが同一サイズに形成されており、選択されるトランジスタの個数は前記出力段がオフからオンに転じる際の出力電圧の立ち上がり波形を所望の形状にするべく決定されていることを特徴とする請求項 3 記載の安定化電源回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、安定化電源回路に関し、特に IC（集積回路）等において CMOS で構成される安定化電源回路に関するものである。

## 【0002】

【従来の技術】 従来この種の安定化電源回路は、図 5 に示されるように、P チャネル MOS トランジスタ P4 のゲート端子 3 に入力される基準電圧源回路 1 の電圧と、P チャネル MOS トランジスタ P5 のゲート端子 4 の電圧を等しくするように動作する P チャネル MOS トランジスタ P2、P4、P5、N チャネル MOS トランジスタ N1、N2 からなる差動増幅回路と、P チャネル MOS トランジスタ P3、N チャネル MOS トランジスタ N3 からなる増幅回路と、P チャネル MOS トランジスタ P6、P7、抵抗 R1、R2、R3、コンデンサ C1 からなる出力段と、出力段に流れる電流のオン／オフを制御する、インバータ I1、I2 からなる制御回路と、により構成される。

【0003】 制御信号入力端子 6 に入力される制御信号がハイレベルのとき、P チャネル MOS トランジスタ P

(2)

特開平 10-91255

2

6 はオフし、出力端子 7、8、9 の出力は GND レベルとなる。そのため、P5 と N3 が強くオンとなり、出力段入力端子 5 の電位が GND レベルとなるため P7 はオン状態となる。入力端子 6 の制御信号がローレベルのとき、P チャネル MOS トランジスタ P6 はオンし、出力端子 7、8、9 からは基準電圧源回路 1 から出力される端子 3 の電位と等しくなった端子 4 の電位を抵抗 R1、R2、R3 により抵抗分圧した電圧が出力される。

## 【0004】

10 【発明が解決しようとする課題】 上述した従来の安定化電源回路では、図 6 で時刻 t1 に示されるように制御信号入力端子 6 に入力される制御信号がハイレベルのとき〔図 6 (a)〕、P チャネル MOS トランジスタ P6 がオフすることによりゲート端子 4 は GND 電位となりゲート端子 3 より低くなるため、差動回路の電流は大部分 P チャネル MOS トランジスタ P5 側を流れる。そのため、N チャネル MOS トランジスタ N3 のゲート電位が上がり、出力段入力端子 5 は GND 側電位に引かれ〔図 6 (c)〕、P チャネル MOS トランジスタ P7 はオンしている。この状態から、制御信号入力端子 6 がローレベルになる（図 6 の時刻 t2）と、P チャネル MOS トランジスタ P6 がオンに転じ差動増幅回路に帰還がかかるまえに出力端子 7 は VDD 電位まで上がろうとする。そのため、出力端子 7 の電位は、図 6 (b) に示されるように、オーバーシュートした立ち上がり波形になる。

20 【0005】 その結果、例えば出力端子 7、8、9 の出力電圧を液晶パネル駆動用の電源として用いるとき、オーバーシュートにより一瞬表示が濃くなる等の好ましくない現象が起きる。したがって、本発明の解決すべき課題は、第 1 に、安定化電源回路の出力立ち上がり波形のオーバーシュートを軽減することであり、第 2 に、様々な負荷回路・用途に対応できるように、出力立ち上がり波形を選択できるようにすることである。

## 【0006】

【課題を解決するための手段】 上記の課題を解決するため、本発明によれば、基準電圧源の基準電圧と出力からの帰還電圧を比較し安定化する差動増幅回路と、前記差動増幅回路の出力信号を増幅する増幅回路と、前記増幅回路の出力電圧を出力する出力段と、該出力段の出力のオン／オフを制御信号によりを制御する制御回路と、を有し、前記増幅回路には前記制御信号による出力段のオン／オフに同期して、抵抗値が低／高と変化する可変インピーダンス手段が挿入されていることを特徴とする安定化電源回路、が提供される。

## 【0007】

【発明の実施の形態】 図 1 は、本発明の実施の形態を説明するための回路図である。図 1 に示されるように、本発明による安定化電源回路は、安定化電源回路の基準電圧を作り出す基準電圧源回路 1 と、基準電圧源回路 1 から出力される基準電圧と出力電圧とを比較する差動増幅

回路(P2、P4、P5、N1、N2)と、差動増幅回路の出力信号を増幅する増幅回路(P3、X、N3)と、増幅回路の出力電圧を出力する出力回路(P6、P7、C1、R1、R2、R3)と、出力回路の出力のオン/オフを制御する制御回路(11、12)と、を備えている。

【0008】すなわち、基準電圧源回路1の基準電圧は、PチャネルMOSトランジスタP2、P4、P5、NチャネルMOSトランジスタN1、N2で構成される差動増幅回路への一方の入力端子に入力され、もう一方の入力端子には出力電圧が帰還される。差動増幅回路で増幅された出力はPチャネルMOSトランジスタP3、NチャネルMOSトランジスタX、N3により構成される増幅回路へ入力される。この増幅回路において、NチャネルMOSトランジスタXは、増幅回路のオン/オフスイッチないし可変インピーダンス素子として働く。この出力は出力段入力端子5を介して出力段へ出力される。PチャネルMOSトランジスタP6、P7は、それぞれスイッチ素子と増幅素子として働き、また、抵抗R1、R2、R3は電圧を分圧し複数の電位を出力し、また、差動増幅回路へ出力を帰還させる。出力端子7、8、9の電圧のオン/オフを制御する制御回路はCMOSインバータ11、12により構成されこの制御回路への制御信号は制御信号入力端子6を介して入力される。

【0009】また、この制御信号はインバータ11を介してNチャネルMOSトランジスタXのゲートに入力される。ここで、NチャネルMOSトランジスタXのサイズは、出力端子の電圧がGNDレベルからオンレベルへと移行する際の立ち上がり波形が所望の形状になるように選定されている。いま、図2で時刻t1に示されるように、制御信号入力端子6に入力される制御信号がハイレベルにあるものとする、P6がオフすることにより出力回路はオフ状態にある。このとき、トランジスタXのゲートはローレベルとなるため、トランジスタはオフし(ハイインピーダンス状態になり)、端子5はハイレベル(ほぼVDD)となりP7もオフしている。時刻t2において端子6に入力される制御信号がローレベルに転じると〔図2(a)〕、トランジスタXと電源ラインVDDに接続されたPチャネルMOSトランジスタP6がオンする。トランジスタXがオンしたことにより端子5の電位が下がり〔図2(b)〕、P7がオンに転じる。P6、P7がオンしたことにより出力端子7がGND電位以上となり端子7、8、9から一定の電位が出力される。出力端子7の電位は徐々に立ち上がるが、この間に差動増幅回路と増幅回路による帰還がかかるため、オーバーシュートを生じさせることなく基準電圧源回路1の指示する電位を発生させることができる〔図2(c)〕。

【0010】ここで、出力段入力端子5の電位に注目すると、トランジスタXがオフしているときほぼVDDで

あった入力端子5の電位はトランジスタXがオンに転じると低下するが、その立ち下がり速度はコンデンサC1の放電時間に依存する。すなわち、主としてC1とトランジスタXのインピーダンスにより決定される時定数CRに依存する。よって、トランジスタXのサイズを(W/Lを)適切に選定することにより、端子5における電位の立ち下がり速度を図2(c)の①ないし③に選択することができる。すなわち、サイズの大きい(あるいはW/Lの大きい)トランジスタを形成することにより、①の立ち下がり特性を選択することができ、またはサイズの小さい(あるいはW/Lの小さい)トランジスタを形成することにより③の立ち下がり特性を選択することができる。そして、出力端子7の電位の立ち上がりは、入力端子5の電位の立ち下がり特性に追随しているため、上記のようにトランジスタサイズを選択することにより、出力端子7の電位も同様に①ないし③と変化させることができ〔図2(b)〕、従来例におけるオーバーシュートを防止することができる。

【0011】図1の回路は次のように変更することができる。

(a) NチャネルMOSトランジスタXに代え、複数のサイズの異なるトランジスタを並列に形成しておき、使用目的に応じてデコーダ回路により適当なトランジスタを選択することができるようにする。

(b) NチャネルMOSトランジスタXに代え、複数の同一サイズのトランジスタを並列に形成しておき、使用目的に応じてデコーダ回路により適当な個数のトランジスタを選択することができるようにする。

(c) 図1の回路および上記(a)、(b)の変更を加えた回路においてNチャネルMOSトランジスタに代え、PチャネルMOSトランジスタを用いる。

【0012】

【実施例】次に、本発明の実施例について図面を参照して説明する。図3は、本発明の第1の実施例を説明するための回路図である。図3において、図1に示した回路と同等の部分には同一の参照符号が付けられているので、重複する説明は省略するが、本実施例においては、NチャネルMOSトランジスタXに代え、NチャネルMOSトランジスタA1、A2・・・Anの並列回路が増幅回路内に設けられている。これらのNチャネルMOSトランジスタA1、A2・・・Anのサイズは互いに異なっている。これらのトランジスタの中の一つが選択信号S1、S2・・・Smの入力されるデコーダ回路2により選択され、そのトランジスタにインバータ11の出力信号が印加される。

【0013】いま、制御信号入力端子6に入力される制御信号がハイレベルにあるものとする、P6がオフすることにより出力回路はオフ状態にあり、またデコーダ回路2により選択されたNチャネルMOSトランジスタAkもオフ状態にある。よって、入力端子5はハイレベ

ル(ほぼVDD)となり、P7もオフしている。次に、制御信号入力端子6に入力される制御信号がローレベルに転じると、選択されたNチャネルMOSトランジスタAk( $k=1, 2, \dots, n$ )と電源ラインVDDに接続されたPチャネルMOSトランジスタP6がオンする。トランジスタAkがオンしたことにより端子5の電位が下がり、P7がオンに転じる。P6、P7がオンしたことにより出力端子7がGND電位以上となり端子7、8、9から一定の電位が出力される。出力端子7の電位は徐々に立ち上がるが、この間に差動増幅回路と増幅回路による帰還がかかるため、オーバーシュートを生じさせることなく基準電圧源回路1の指示する電位を発生させることができる。

【0014】ここで、出力端子7の立ち上がり特性は、選択されたトランジスタAkのオン抵抗に依存しているため、選択するトランジスタを変更することにより、図2(b)の①ないし③の立ち上がりカーブを実現することができる。上述した第1の実施例は、1つのトランジスタのみを選択するものであったが2ないしそれ以上のトランジスタを選択するようにしてもよい。そのようにすることにより、トランジスタの形成個数を増加させることなく、より広い範囲で立ち上がり特性を選択することが可能になる。

【0015】次に、本発明の第2の実施例について説明する。本実施例においても、図3のように回路を構成するが、NチャネルMOSトランジスタA1、A2 $\dots$ 、Anを全て同じサイズで構成し、制御信号S1、S2 $\dots$ 、Smで選択するNチャネルMOSトランジスタA1、A2 $\dots$ 、Anの数を変化させる。A1のみ選択した時は、時定数CRが大きくなり出力端子7の立ち上がり波形は図2(b)の③のようになり、またA1、A2 $\dots$ 、Anの全て選択した時は時定数CRが小さくなり、出力端子7の立ち上がり波形は図2(b)の①ようになる。

【0016】図4は、本発明の第3の実施例を説明するための回路図である。図4において図3に示した第1の実施例の回路と同等の部分には同一の参照符号が付けられているので、重複する説明は省略する。本実施例においては、第1の実施例におけるNチャネルMOSトランジスタA1、A2 $\dots$ 、Anに代え、PチャネルMOSトランジスタB1、B2 $\dots$ 、Bnが用いられており、これに伴ってインバータ12の出力信号が選択されたPチャネルMOSトランジスタB1、B2 $\dots$ 、Bnのいずれかに印加されるようになっている。本実施例においても、各トランジスタのサイズは異なって形成されており、その何れか一つのトランジスタを制御信号S1、S

2 $\dots$ 、Smで選択し、これにより出力電圧の所望の立ち上がり特性を実現する。しかし、本実施例においても複数のトランジスタを選択するように変更することができる。

【0017】次に、本発明の第4の実施例について説明する。第4の実施例においては、図4に示す第3の実施例と同様の回路構成を採るが、本実施例においては、PチャネルMOSトランジスタB1、B2 $\dots$ 、Bnを全て同じサイズで構成し、制御信号S1、S2 $\dots$ 、Smで選択するPチャネルMOSトランジスタB1、B2 $\dots$ 、Bnの数を変化させる。

【0018】

【本発明の効果】以上説明したように、本発明による安定化電源回路は、差動増幅回路の出力を増幅する増幅回路内に、出力電圧のオン/オフを制御する信号によってインピーダンスの変化する可変インピーダンス素子を挿入したものであるので、出力電圧がオンに転じた際に帰還を有効にかけることができ出力電圧のオーバーシュートを防止することができる。したがって、本発明による安定化電源回路を例えば液晶パネル駆動用の電源等に適用した場合には、一瞬表示が濃くなるなどの不都合を防止することができる。また、本発明の実施例によれば、複数の並列制御されたMOSトランジスタの中から1ないし複数個のトランジスタを選択することにより、任意の出力電圧の立ち上がり波形を選択することが可能になる。

【図面の簡単な説明】

【図1】 本発明の実施の形態を説明するための回路図。

【図2】 図1の回路の動作を説明するための電圧波形図。

【図3】 本発明の第1、第2の実施例を説明するための回路図。

【図4】 本発明の第3、第4の実施例を説明するための回路図。

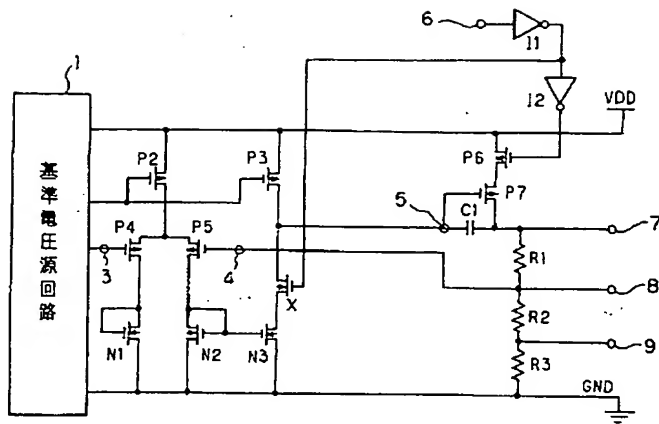
【図5】 従来例の回路図。

【図6】 従来例の問題点を説明するための電圧波形図。

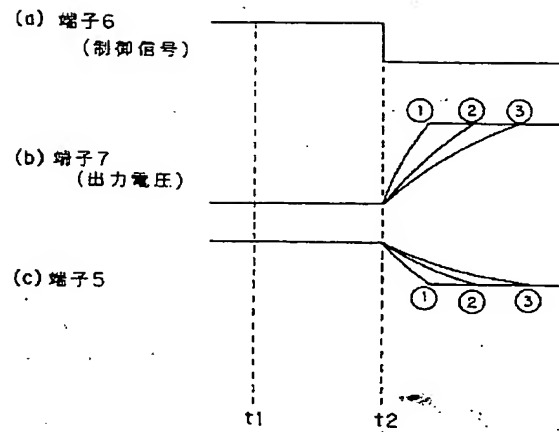
【符号の説明】

- 1 基準電圧源回路
- 2 デコーダ回路
- 3、4 ゲート端子
- 5 出力段入力端子
- 6 制御信号入力端子
- 7、8、9 出力端子

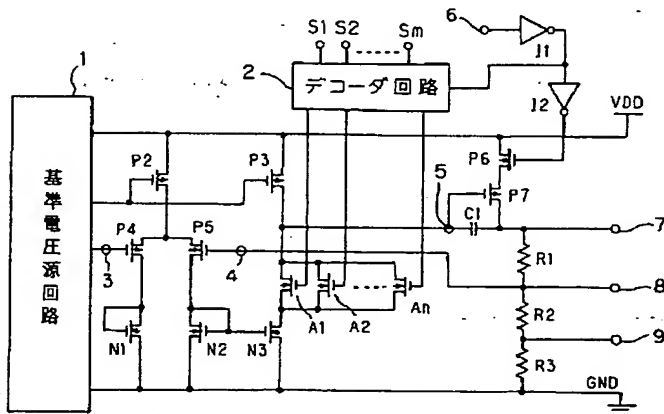
【図1】



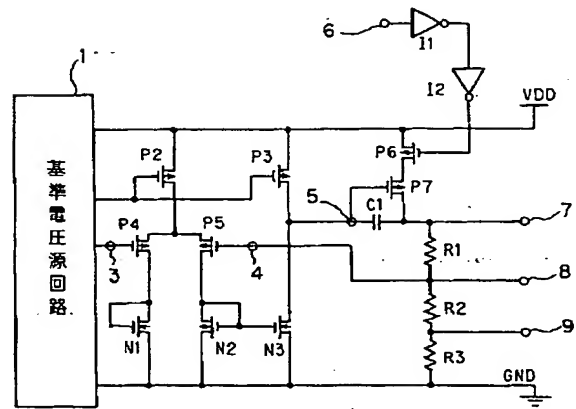
【図2】



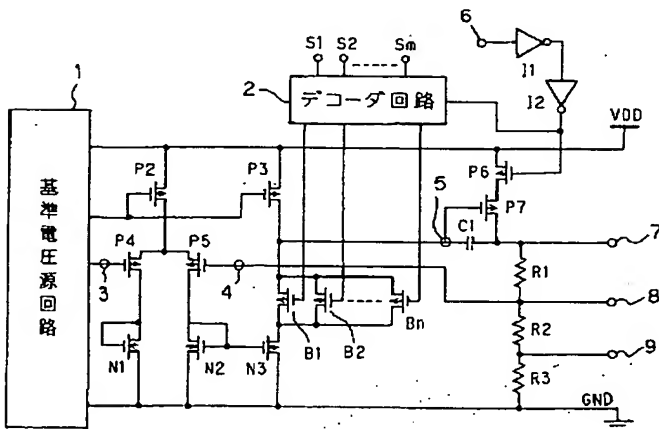
【図3】



【図5】



【図4】



【図6】

